

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-144962
 (43)Date of publication of application : 29.05.1998

(51)Int.Cl.

H01L 33/00
 H01S 3/18

(21)Application number : 09-226608

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 22.08.1997

(72)Inventor : SUGAWARA HIDEOTO
 ISHIKAWA MASAYUKI

(30)Priority

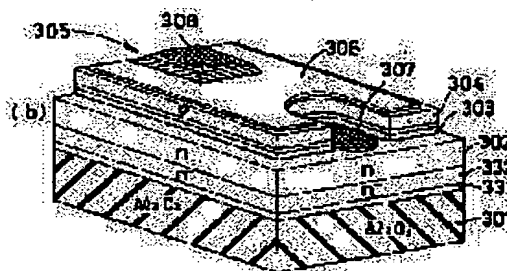
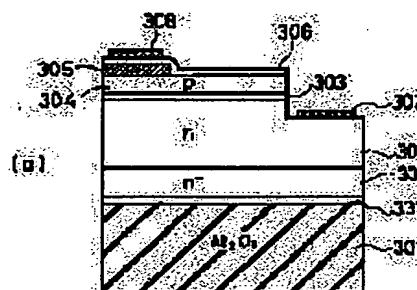
Priority number : 08239335 Priority date : 10.09.1996 Priority country : JP

(54) SEMICONDUCTOR LIGHT-EMITTING ELEMENT AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To simplify a process of making element and to obtain a high brightness light-emitting element, which has property of high reproductivity and reliability by forming an n-type cap layer at an upper part of a p-type semiconductor region of a semiconductor light-emitting element having a laminated structure of a specific GaN semiconductor.

SOLUTION: A semiconductor light-emitting element, which has a laminated structure of GaN semiconductor shown by a formula $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ (where, $0 \leq x, y \leq 1$), has an n-type semiconductor region 302 to implant electrons and holes into a light-emitting region and a p-type semiconductor region 304, and is made to form an n-type cap layer 305 on the upper part of the p-type semiconductor region 304. For example an n-type $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ buffer layer 331, an n-type GaN layer 332, and n-type GaN clad layer 302, an undoped $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ active layer 303 and a p-type GaN clad layer 304 are formed by laminating on a sapphire substrate 301. Additionally, the n-type GaN cap layer 305, a thin-film metal layer 306, a p-side electrode 308 and an n-side electrode 307 are formed thereon.



LEGAL STATUS

[Date of request for examination] 26.09.2000
 [Date of sending the examiner's decision of rejection] 07.05.2002
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number] 3361964
 [Date of registration] 18.10.2002
 [Number of appeal against examiner's decision of rejection] 2002-10201
 [Date of requesting appeal against examiner's decision of rejection] 06.06.2002
 [Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

Best Available Copy

THIS PAGE BLANK (USPTO)

特開平10-144962

(43)公開日 平成10年(1998) 5月29日

(51)IntCl. ⁴	識別記号	PL
H01L 33/00	H01L 33/00	H01L 33/00
H01S 3/18	H01S 3/18	H01S 3/18

特許請求 未請求 請求項の枚数18 OL (全14頁)

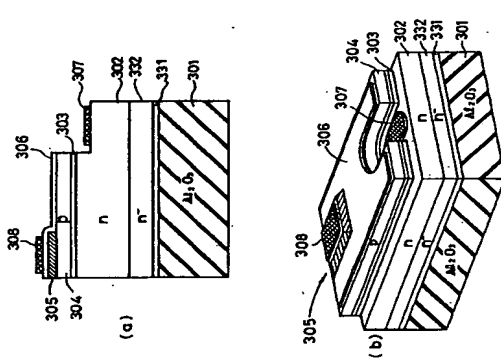
(21)出願番号	特願平9-228608	(71)出願人	0000034078
(22)出願日	平成9年(1997) 8月22日		株式会社東芝
(31)優先権主張番号	特願平9-238335		神奈川県川崎市幸区堀川町72番地
(32)優先日	平8(1996) 9月10日		菅原 秀人
(33)優先権主張国	日本 (JP)		神奈川県川崎市幸区堀川町72番地 株式会社 社東芝川崎事業所内
		(72)発明者	石川 正行
			神奈川県川崎市幸区堀川町72番地 株式会社 社東芝川崎事業所内
		(70)代理人	井理士 三好 秀和 (外3名)

(54) [発明の名称] 半導体発光素子およびその製造方法

(57) [要約]

【課題】 製造が簡単で高発光効率のGaN系半導体発光素子を製造する。

【解決手段】 GaN系の半導体発光素子のpn接合半光領域を構成するp型クラッド層304の上部にn型キャップ層305を形成し、p型クラッド層のアクセプタ不純物の活性化率を高くする。またn型キャップ層を電渡気管構造に用いる。



【特許請求の範囲】

【請求項1】 一般式 $In_xAl_{1-x}Ga_{1-y}N$ ($0 \leq x, y \leq 1$) で示されるGaN系半導体の積層構造を有する半導体発光素子であって、

該積層構造は、発光領域に電子および正孔を注入するためのn型半導体領域およびp型半導体領域を少なくとも具備し、

該p型半導体領域の上部にn型キャップ層が形成されていることを特徴とする半導体発光素子。

【請求項2】 一般式 $In_xAl_{1-x}Ga_{1-y}N$ ($0 \leq x, y \leq 1$) で示されるGaN系半導体の積層構造を有する半導体発光素子であって、

該積層構造は、n型のクラッド層と、該n型のクラッド層の上部の活性層と、該活性層の上部のp型クラッド層と、該p型クラッド層の上部のn型キャップ層とから少なくとも構成されることを特徴とする半導体発光素子。

【請求項3】 前記n型キャップ層は前記p型クラッド層の上部の一部に形成されていることを特徴とする請求項2記載の半導体発光素子。

【請求項4】 前記n型キャップ層の上部および前記n型キャップ層の形成されていない部分のp型クラッド層の上部に透明電極層が形成されていることを特徴とする請求項3記載の半導体発光素子。

【請求項5】 前記n型キャップ層の上部に前記透明電極層を嵌んでp側電極層が形成されていることを特徴とする請求項4記載の半導体発光素子。

【請求項6】 前記GaN系半導体の積層構造はサブワイヤ基板の上に形成されていることを特徴とする請求項2記載の半導体発光素子。

【請求項7】 前記n型キャップ層の厚さが $0.1 \mu m$ 以上であることを特徴とする請求項2記載の半導体発光素子。

【請求項8】 前記n型キャップ層のドーパ不純物の不純物密度は $2 \times 10^{18} \sim 5 \times 10^{19} cm^{-3}$ であり、前記p型クラッド層のアクセプタ不純物の不純物密度は実質的に $1 \times 10^{19} cm^{-3}$ であることを特徴とする請求項7記載の半導体発光素子。

【請求項9】 一般式 $In_xAl_{1-x}Ga_{1-y}N$ ($0 \leq x, y \leq 1$) で示されるGaN系半導体の積層構造により形成される半導体発光素子であって、

該積層構造は、発光領域に電子および正孔を注入するためのn型半導体領域およびp型半導体領域を少なくとも具備し、

該p型半導体領域に接してn型 $In_uAl_vGa_{1-u-v}N$ ($0 < u, v < 1$) キャップ層を厚さ $1 \mu m$ 以上成長する工程を少なくとも含むことを特徴とする半導体発光素子の製造方法。

【請求項10】 一般式 $In_xAl_{1-x}Ga_{1-y}N$ ($0 \leq x, y \leq 1$) で示されるGaN系半導体の積層構造を有する半導体発光素子の製造方法であって、

【請求項11】 前記積層構造はサブワイヤ基板上にMOCVDで形成することを特徴とする請求項10記載の半導体発光素子の製造方法。

【請求項12】 前記積層工程の後に、前記n型 $In_uAl_vGa_{1-u-v}N$ ($0 < u, v < 1$) キャップ層の一部を選択的に除去し、前記p型クラッド層を露出させる工程をさらに有することを特徴とする請求項10記載の半導体発光素子の製造方法。

【請求項13】 前記n型 $In_uAl_vGa_{1-u-v}N$ キャップ層の上に、さらに透明電極層を形成することを特徴とする請求項12記載の半導体発光素子の製造方法。

【請求項14】 前記積層工程の後に、前記n型 $In_uAl_vGa_{1-u-v}N$ キャップ層の一部を選択的に除去し、前記p型クラッド層を露出させる工程と、該露出したp型クラッド層の一部、前記活性層の一部を除去し、前記n型クラッド層の一部を露出させる工程をさらに有することを特徴とする請求項10記載の半導体発光素子の製造方法。

【請求項15】 前記積層工程は、p型クラッド層成長後に NH_3 ガスとキャリアガスのみを供給し続けながら中斷ステップを行ない、次にn型 $In_uAl_vGa_{1-u-v}N$ キャップ層を成長することを含む工程であることを特徴とする請求項10記載の半導体発光素子の製造方法。

【請求項16】 一般式 $In_xAl_{1-x}Ga_{1-y}N$ ($0 \leq x, y \leq 1$) で示されるGaN系半導体の積層構造により形成される半導体発光素子であって、

該積層構造は、発光領域に電子および正孔を注入するためのn型半導体領域およびp型半導体領域を少なくとも具備し、

該積層構造は、発光領域に電子および正孔を注入するためのn型半導体領域およびp型半導体領域を少なくとも具備し、

該積層構造は、発光領域に電子および正孔を注入するためのn型半導体領域およびp型半導体領域を少なくとも具備し、

該積層構造は、発光領域に電子および正孔を注入するためのn型半導体領域およびp型半導体領域を少なくとも具備し、

該積層構造は、発光領域に電子および正孔を注入するためのn型半導体領域およびp型半導体領域を少なくとも具備し、

該積層構造はn型のクラッド層、活性層、p型のクラッド層、厚さ $1 \mu m$ 以上のn型 $In_uAl_vGa_{1-u-v}N$ ($0 < u, v < 1$) キャップ層の各層をこの順で同一成長室内で連続的に成長する積層工程により形成することを特徴とする半導体発光素子の製造方法。

【請求項11】 前記積層工程はサブワイヤ基板上にMOCVDで形成することを特徴とする請求項10記載の半導体発光素子の製造方法。

【請求項12】 前記積層工程の後に、前記n型 $In_uAl_vGa_{1-u-v}N$ ($0 < u, v < 1$) キャップ層の一部を選択的に除去し、前記p型クラッド層を露出させる工程をさらに有することを特徴とする請求項10記載の半導体発光素子の製造方法。

【請求項13】 前記n型 $In_uAl_vGa_{1-u-v}N$ キャップ層の上に、さらに透明電極層を形成することを特徴とする請求項12記載の半導体発光素子の製造方法。

【請求項14】 前記積層工程の後に、前記n型 $In_uAl_vGa_{1-u-v}N$ キャップ層の一部を選択的に除去し、前記p型クラッド層の一部を露出させる工程と、該露出したp型クラッド層の一部、前記活性層の一部を除去し、前記n型クラッド層の一部を露出させる工程をさらに有することを特徴とする請求項10記載の半導体発光素子の製造方法。

【請求項15】 前記積層工程は、p型クラッド層成長後に NH_3 ガスとキャリアガスのみを供給し続けながら中斷ステップを行ない、次にn型 $In_uAl_vGa_{1-u-v}N$ キャップ層を成長することを含む工程であることを特徴とする請求項10記載の半導体発光素子の製造方法。

【請求項16】 一般式 $In_xAl_{1-x}Ga_{1-y}N$ ($0 \leq x, y \leq 1$) で示されるGaN系半導体の積層構造により形成される半導体発光素子であって、

該積層構造は、発光領域に電子および正孔を注入するためのn型半導体領域およびp型半導体領域を少なくとも具備し、

該積層構造は、発光領域に電子および正孔を注入するためのn型半導体領域およびp型半導体領域を少なくとも具備し、

該積層構造は、発光領域に電子および正孔を注入するためのn型半導体領域およびp型半導体領域を少なくとも具備し、

該積層構造は、発光領域に電子および正孔を注入するためのn型半導体領域およびp型半導体領域を少なくとも具備し、

該積層構造は、発光領域に電子および正孔を注入するためのn型半導体領域およびp型半導体領域を少なくとも具備し、

該積層構造は、発光領域に電子および正孔を注入するためのn型半導体領域およびp型半導体領域を少なくとも具備し、

該積層構造は、発光領域に電子および正孔を注入するためのn型半導体領域およびp型半導体領域を少なくとも具備し、

該積層構造は、発光領域に電子および正孔を注入するためのn型半導体領域およびp型半導体領域を少なくとも具備し、

該積層構造は、発光領域に電子および正孔を注入するためのn型半導体領域およびp型半導体領域を少なくとも具備し、

該積層構造は、発光領域に電子および正孔を注入するためのn型半導体領域およびp型半導体領域を少なくとも具備し、

該積層構造は、発光領域に電子および正孔を注入するためのn型半導体領域およびp型半導体領域を少なくとも具備し、

該積層構造は、発光領域に電子および正孔を注入するためのn型半導体領域およびp型半導体領域を少なくとも具備し、

該積層構造は、発光領域に電子および正孔を注入するためのn型半導体領域およびp型半導体領域を少なくとも具備し、

該積層構造は、発光領域に電子および正孔を注入するためのn型半導体領域およびp型半導体領域を少なくとも具備し、

該積層構造は、発光領域に電子および正孔を注入するためのn型半導体領域およびp型半導体領域を少なくとも具備し、

該積層構造は、発光領域に電子および正孔を注入するためのn型半導体領域およびp型半導体領域を少なくとも具備し、

該積層構造は、発光領域に電子および正孔を注入するためのn型半導体領域およびp型半導体領域を少なくとも具備し、

該積層構造は、発光領域に電子および正孔を注入するためのn型半導体領域およびp型半導体領域を少なくとも具備し、

該積層構造は、発光領域に電子および正孔を注入するためのn型半導体領域およびp型半導体領域を少なくとも具備し、

該積層構造は、発光領域に電子および正孔を注入するためのn型半導体領域およびp型半導体領域を少なくとも具備し、

該積層構造は、発光領域に電子および正孔を注入するためのn型半導体領域およびp型半導体領域を少なくとも具備し、

該積層構造は、発光領域に電子および正孔を注入するためのn型半導体領域およびp型半導体領域を少なくとも具備し、

該積層構造は、発光領域に電子および正孔を注入するためのn型半導体領域およびp型半導体領域を少なくとも具備し、

みは最終予定膜厚より厚く設定し、前記降速過程において水素ガスによるエッチングを行ない、最終予定膜厚を得ることを特徴とする請求項17記載の半導体発光素子の製造方法。

【発明の詳細な説明】

【0001】
【発明の属する技術分野】本発明は化合物半導体材料を用いた発光ダイオード(LED)や半導体レーザ等の半導体発光素子の構造とその製造方法に係わり、特に窒化ガリウム(GaN)系半導体からなる半導体発光素子とその製造方法に係る。

【0002】

【従来の技術】In_xAl_yGa_{1-x-y}N等のGaN系半導体はその光学遷移型(エネルギーダイアグラム)が直接遷移型であるため高効率発光素子構造が可能であり、またその遷移エネルギーが2～6eVと広く、緑、緑黄色、青色～紫が等価の短波長半導体レーザあるいは高輝度短波長LEDなどの高効率発光素子材料としてその開発が行われている。

【0003】4元半導体であるIn_xAl_yGa_{1-x-y}Nはその基本構成をなす2元系半導体、GaN、AlN、InNの組み合わせにより構成されるものであるが、このなかでも、特にGaNについての開発が盛んに行われてきた。GaNは融点が1700℃以上と高く、また成長温度の重要な平衡蒸気圧が極めて高いことから化学蒸気成長法(CVD法)や金属有機気相成長法(MOCVD法)を用いて成長方法の開発が盛んに行われ、GaNにInあるいはAlを混ぜたIn_xAl_yGa_{1-x-y}NやAl_xGa_{1-x}Nの3元系化合物が得られている。これらGaN系材料の複数の組み合わせからなるヘテロ接合構造を用いれば発光効率の向上が可能となる。特に注入キャリアの閉じ込めや光の閉じ込めに有効なダブルヘテロ(DBH)構造を形成することにより高輝度短波長LEDや短波長LEDを製造することができる。

【0004】
【発明が解決しようとする課題】電流注入型の発光素子(発明が解決しようとする課題)を製造する場合、pn接合を基本とするため、p型、n型半導体両者形成のための伝導型の制御は重要である。GaN系半導体においては、n型の伝導型制御はSiを不純物原料として用いることにより比較的容易に行うことが可能である。しかしながら、p型半導体領域に形成した伝導型制御は一般には困難である。つまりp型に対してはMgあるいはZnが主なアクセプター不純物として用いられるが、これらの不純物はその導電性が低いことから活性化率が低く、加えてMOCVD法による成長においては原料ガスとして用いるアンモン(NH₃)の分

解生成成分である原子状水素による不活性化が起こるためと考えられている(J. A. Van Vechten, et al. Jpn. J. Appl. Phys. 31 (1992) 3662)。

【0005】つまりMgドープGaN層をMOCVD法等により成長させる際に、そのMgドープGaN層の層厚後、基板温度を室温まで降下(この時ストイキオメトリを制御するため、すなわち成長からのNの解離が無くなる)ように5族元素原料ガスであるNH₃ガスは供給し続けるのが一般的であるが、すると、成長層に原子状水素Hが取り込まれて、このHによってアクセプターが不活性化するためにMgドープGaN層は高抵抗となってしまう問題が知られている。たとえばMgを1×10¹⁹cm⁻³ドープしたGaN層の場合、このGaN層のHの不純物密度は5×10¹⁹cm⁻³であり、同条件で成長したアンドープおよびn型GaN層に比べて10倍以上のHの取り込まれが起こるのが一般的である。

【0006】これに対し、MgドープしたGaNにに対して電子線照射(H. Amano, et al. Jpn. J. Appl. Phys. 28 (1989) L2112)や熱処理(S. Nakamura, et al. Jpn. J. Appl. Phys. 31 (1992) 1258)を行うことにより活性化率が向上することが見いだされ、高効率発光素子の実現の可能性が広まりつつあるが、電子線照射や熱処理という複雑な工程の付加が必要となる問題がある。さらに電子線照射の場合は高価な電子線照射装置が必要であり製品のコストが高くなるという問題もある。

【0007】また、高効率のLED素子を実現するためには高い光取り出し効率が必要であり、このためにはGaN系Al_xIn_{1-x}AsやGaN系Al_xGa_{1-x}P系で用いられるような特殊な構造を実現する必要がある。具体的には電気抵抗率が低く、厚膜で発光に対して透明な層を用い、素子内部での光反射を拡大し、電極に遮蔽されることなく素子外部へ光を取り出す構造のものである。しかしながらGaN系材料では、特にp型において低抵抗の電極を得ることは難しく、さらに高不純物密度にドーピングすることによる表面モロロジーの劣化は厚膜化によりさらに顕著になる。したがってGaN系LEDでは光取り出し効率を向上するために酸化膜を用いた電流変換構造を形成し電極での光遮蔽を防ぐ方法が提案されているが、酸化膜形成という付加的な工程が必要となり、工程が複雑となるという問題がある。

【0008】このように、従来のGaN系発光素子においては高い光取り出し効率を達成するためには、アクセプターの活性化のための特別な工程や酸化膜の形成といった煩雑なプロセスが必要となっていた。これらの煩雑な工程やプロセスの付加は素子特性の再現性や信頼性に対して大きく影響を与えるため、製品のコストの増大や歩留りの低下等の重大な問題を生じていた。

【0009】本発明は上記事情を考慮してなされたもので、その目的とするところはGaN系発光素子の形成において、素子化プロセスの簡略化ができ、かつ特性の再現性および信頼性の高い高輝度発光素子およびその製造方法を提供することにある。

【0010】より具体的には、電子線照射や熱処理等の特別な処理を用いずにアクセプター不純物の活性化が可能で、高い光取り出し効率を有した発光素子の構造を提供すること、およびその簡便な製造方法を提供することを目的とする。

【0011】特に本発明の目的は、型伝導型制御が容易で高い発光効率を得ることが可能なGaN系半導体からなる発光素子を簡単な構造で実現することである。

【0012】

【課題を解決するための手段】上記目的を達成するため、この発明による発光素子は、一般式In_xAl_yGa_{1-x-y}N(0≤x, y≤1)で示されるGaN系半導体領域の側面構造を有する半導体発光素子であって、この領域構造は、光領域に電子および正孔を注入するためのn型半導体領域およびp型半導体領域を少なくとも具備し、p型半導体領域の上部にn型キャップ層が形成されていることを第1の特徴とする。

【0013】より具体的には、n型のGaN系半導体(In_xAl_yGa_{1-x-y}N)層の上部にp型のGaN系半導体層を形成した発光素子構造において、このp型GaN系半導体層の上部にn型のGaN系半導体からなるキャップ層が形成された構造であることを第1の特徴とする。p型半導体層とn型半導体層でpn接合を形成してもよく、さらには1層となるアンドープ半導体層を挟んで、p型半導体層とn型半導体層でpn接合を形成してもよい。また表面モロロジーや結晶性の改善のためにn型半導体層と基板の間にバンプ層やアンダーブレイク層の半導体層を形成してもよい。バンプ層はn型でもp型でもかまわない。また本接合、シングルヘテロ(SH)構造、ダブルヘテロ(DH)構造のいずれであってかまわない。

【0014】より具体的には、本発明のp型のGaN系半導体層はMgあるいはZn等のアクセプター不純物を含むGaN系半導体であり、このp型の半導体層上にn型の電気的特性を示すキャップ層を積層したことを第1の特徴とする。キャップ層はIn_xAl_yGa_{1-x-y}N(0<u, v<1)で形成することが好ましい。より好ましくはキャップ層を電流変換構造に用いて半導体発光素子を構成したことを特徴とする。

【0015】図2(a)は図1で示した本発明の第1の特徴の構造構造に対しては、SIMSを用いて、n型キャップ層305の最上層から深さ方向に測定したMgの不純物密度プロファイルを示す。n型キャップ層305中のMgの不純物密度プロファイルは、線で示すn型キャップ層305とp型半導体層304の

間の成長中断時間が1秒の場合と破線で示す成長中断時間が30秒の場合の2通りについて示している。ここで「成長中断」とは基板温度を成長温度に保ったまま、特定のガスのみを流すステップを言う。図2(a)からわかるように、成長中断ステップにより積層界面でのMgの急峻な不純物密度プロファイルが得られる。図2(b)はp型半導体層304中のHの不純物密度のn型キャップ層の厚さに対する依存性を示す。n型キャップ層305の厚さを1μm以上とすれば、Hの不純物密度は5×10¹⁸cm⁻³以下となり、同一成長条件で成長したアンドープおよびn型GaN層に比べてp型GaN層は10倍以上のHの取り込まれが起っていることが知られている。これに対し、本発明の第1の特徴のn型キャップ構造では図2(b)から明らかなようにMgドープGaN層304におけるHの不純物密度はアンドープまたはn型GaN層と同程度の値にまで低下している。n型キャップ層305又はp型半導体層304の不純物密度等を表わせば、一定の場合においてはn型キャップ層の厚さが0.1μm以上あれば、Hの取り込みは抑制できる場合がある。しかしn型キャップ層の厚さを1μm以上とすれば、確実にHの取り込みが抑制できる。なお前述のようにn型キャップ層305およびp型半導体層304の不純物密度、n型キャップ層305の厚さ、p型半導体層304とn型キャップ層305との間の成長中断条件の4つのパラメータは相互に関連しており、本発明はその最適条件を見出した点に最大の特徴を有する。かかる最適化を行った図1に示す構造の連続成長後にn型GaN層304の電気的特性を測定したところ、低抵抗(抵抗率1Ω-cm)でp型(1×10¹⁸cm⁻³)特性が得られた。つまり本発明の第1の特徴によればp型GaN系半導体層304の活性化率が従来のMgドープGaN層を熱アニールによって活性化(低抵抗化)させた場合と同等の値が得られる。また、両者の結晶中に含まれるHの不純物密度も図2(b)に示すように熱アニールしたものと同等であった。したがって、図1又は図3に示す本発明の第1の特徴の構造構造とすることによって、Mgドープ層へのHの取り込まれを抑制でき、熱アニール等の活性化処理や電子線照射等の特別な工程を付加することなくp型GaN層を得ることができ、一度Hの取り込まれが抑制できれば、その後n型キャップ層305を除去してもよい。図3は最初p型キャップ層304の上部全面にn型キャップ層305が形成されていたが、その後n型キャップ層305の一部を選択的に除去した構造である。このように後の工程でn型キャップ層305の一部を除去してもアーク

プターの活性化率を高くする効果は同じであり、良好なp型伝導型における不純物密度のプロファイルの制御ができる。

【0016】本発明の第2の特徴は、Ga_{0.5}N系半導体光素子の製造方法に係る。具体的にはn型のGa_{0.5}N系半導体層、p型のGa_{0.5}N系半導体層からなる積層構造により所定の成長の光を放射する半導体発光素子であって、p型のGa_{0.5}N系半導体層に接してn型のIn_{0.5}Al_{0.5}Ga_{0.5}N (0<u, v<1) からなるキャップ層を1μm以上の厚みに成長する工程を少なくとも含むことである。

【0017】本発明の第2の特徴によれば、気相エビタキシャル成長工程の一連の過程において、n型のIn_{0.5}Al_{0.5}Ga_{0.5}Nキャップ層を形成するという単純な改良を行うことのみで、アクセプターの活性化率が向上する。その結果半導体発光素子の発光効率が増加する。

【0018】また本発明の第2の特徴によれば、成長時間のかかる特別な工程を付加する必要がない。このため、p型のGa_{0.5}N系半導体層の低底活性に際し素子化プロセスを簡略化することが出来るので製造歩留りが高くなり、生産性が向上する。さらに短時間で製品を製造できるので実質的な生産コストが下がり、工業的価値が高くなる。特にn型のIn_{0.5}Al_{0.5}Ga_{0.5}Nキャップ層を用いることで、キャップ層の下地とのエッチング選択比が向上する。また、キャップ層の加工が容易となる。また、キャップ層の厚みを1μm以上とすることで、キャップ層の下地となるp型のGa_{0.5}N系半導体層のアクセプター不純物の活性化率が高くなる。

【0019】本発明の第3の特徴は、Ga_{0.5}N系半導体光素子の製造方法に係る。具体的にはn型のクラッド層、活性層、p型のクラッド層、n型のIn_{0.5}Al_{0.5}Ga_{0.5}Nキャップ層 (0<u, v<1) からなる積層構造をこの順番で同一成長室内で連続的に成長する工程を少なくとも含む製造方法である。n型のIn_{0.5}Al_{0.5}Ga_{0.5}N層は1μm以上積層する。ここで「連続的に」とは上記各層の成長を「途中で大気に戻すことなく」という意味である。すなわち、前述した、途中で大気に戻すことなく成長を止めようとする「成長中断」が含まれていない概念である。むしろ本発明においては「成長中断」は連続成長の一つのステップとして含まれることが好ましい。

【0020】本発明の第3の特徴によれば、連続した気相エビタキシャル成長工程の一連の過程において、n型のIn_{0.5}Al_{0.5}Ga_{0.5}Nキャップ層を形成することによりアクセプターの活性化率を向上させることができ、p型のクラッド層の底活性が下がる。その結果半導体発光素子の発光効率が増加する。また、連続的なエビタキシャル成長による積層構造を用いて電流集積構造が容易に実現できる。さらに発光効率が増加する。また本発明

の第3の特徴によれば、素子化プロセスを簡略化することが出来るので製造歩留りが高くなり、生産性が向上する。さらに短時間で製品を製造できるので実質的な生産コストが下がる。特に結晶の成長が速いIn_{0.5}Al_{0.5}Ga_{0.5}Nキャップ層を用いているので、その厚みを1μm以上としても後の加工が容易で、アクセプター不純物の活性化率が増加し、より確実に可能となる。

【0021】特に、本発明の第3の特徴における成長方法としてMOCVD法が好ましく、この際、Mg等のアクセプター不純物を含むp型Ga_{0.5}N系半導体層の上に、NH₃ガスとキャリアガスのみを供給した「成長中断」ステップを経て、n型のIn_{0.5}Al_{0.5}Ga_{0.5}Nからなるキャップ層を連続成長することが望ましい。

【0022】本発明の第4の特徴は、Ga_{0.5}N系半導体素子の製造方法に係る。具体的にはアクセプター層の所定の基板の上にn型のGa_{0.5}N系半導体層、p型のGa_{0.5}N系半導体層等からなる積層構造を気相エビタキシャル成長法で成長し、その積層構造の最上層を形成後、TMG等の3価元素原料ガスとNH₃等の5価元素原料ガスの供給を停止し、キャリアガス等の雰囲気中で、基板温度を成長温度から室温まで冷却することである。この際、キャリアガスとしてはN₂、Ar、He等の不活性ガスが好ましく、特にN₂の分解（再分解）に伴う化学量論的組成の変化を考慮するとN₂又はN₂を含むキャリアガスが好ましい。

【0023】また基板温度の降下時の操作の煩雑性を避ける点からは、気相エビタキシャル成長時のキャリアガスを降下時と同じ不活性ガスとしておくことが好ましい。降下時に不活性ガス雰囲気とすることで、従来の技術のようなNH₃の分解した原子状水素がエビタキシャル成長層に取り込まれることがなくなり、アクセプター不純物の活性化率が高まる。

【0024】本発明の第5の特徴はアクセプター層の基板の上にn型Ga_{0.5}N系半導体層、p型のGa_{0.5}N系半導体層等からなる積層構造を、全体の厚みが最終的に必要な厚みより厚くなるように気相エビタキシャル成長法で成長し、基板温度を成長温度から室温まで降下する際、水素 (H₂) 又は水素を含むキャリアガス中で行ない、積層構造の最上層の気相エッチングを行ない、最終的に所望の厚みのエビタキシャル成長層を形成することによって原子状水素 (H) のエビタキシャル成長層中の取り込まれが抑制され、アクセプター不純物の活性化率が向上する。

【0025】【発明の実施の形態】以下図面を参照して本発明の実施の形態を説明する。

【0026】（第1の実施の形態）まず最初に本発明の第1の実施の形態の基本技術となるGa_{0.5}N系半導体 (In_{0.5}Al_{0.5}Ga_{0.5}N) の積層構造についてGa_{0.5}N

ら本発明では、p型Ga_{0.5}N層の不純物密度を実質的に1×10¹⁸cm⁻³としている。「実質的」とは正確に1×10¹⁸cm⁻³とする必要は多少5×10¹⁷～1.5×10¹⁸cm⁻³の範囲程度でなくばあってもかまわないという意味である。つまり、表面モホロジーの荒れが生じない最大の不純物密度と同量に解してよい。

【0030】図2(a)は図1の構造においてp型Ga_{0.5}N層1030Mgの不純物密度を1×10¹⁸cm⁻³とし、そのSIMSによるMgの濃度方向の不純物密度プロファイルを示す。図2(a)は2通りの成長中断条件の場合の結果を示すが、成長中断条件によりn型キャップ層305中のMgメモリ効果によるMgの不純物密度が変化することが見られる。すなわち、実験はn型キャップ層305との界面における成長中断時間を1秒としたものであり、成長中断は上述したようにキャリアガスとNH₃ガスのみ供給し、基板温度は成長中断時のままとするものである。図2(a)に示すように成長中断時間を長くすることによりMgのメモリ効果を減らすことができる。また、本構造の効果を引き出すためには、成長中断によってその効果は徐々に高まり、その後飽和する傾向にあることがわかった。また30分以上の成長中断では結晶中のNの配位が顕著になりn型キャップ層305を成長した場合の表面モホロジーが著しく荒れてしまうことがわかった。従って本発明における成長中断時間は、30分未満の比較的最良の時間とすることが望ましい。また、本構造の効果を引き出すためには上記したようにキャップ層305をn型にする必要がある。

7、使ったMgのメモリ効果の状況によりn型キャップ層305中のSiドープ量、キャップ層305の厚みの調整が必要である。例えば、図2(a)に示した30秒の成長中断条件では、上記したMgおよびSiの電気的活性化率を考慮すると、Siの不純物密度を1×10¹⁸cm⁻³以上とすることによりその条件を満足できる。また、MgとSiの濃度ドープングによる表面モホロジーの荒れを考慮すると、n型キャップ層のSiの不純物密度は2×10¹⁸～5×10¹⁸cm⁻³とすることによりその条件を十分満たすことができる。

【0031】図2(b)にn型キャップ層305の厚みとMgドープングされたGa_{0.5}N層304中のHの不純物密度の関係について示す。ここでn型キャップ層305中のSiの不純物密度は5×10¹⁸cm⁻³、MgドープGa_{0.5}N層304中のMgの不純物密度は1×10¹⁸cm⁻³である。図2(b)には従来技術におけるn型キャップ層305が無い場合の結晶もO印で示している。つまりMgドープGa_{0.5}N層304の積層後、n型キャップ層305を形成せずに基板温度を室温まで冷却（この時成長層からのNの溶解が無いように5倍原料ガスであるN₂ H₂ ガスは供給し続ける）したときのHの不純物密度は

5×10¹⁹ cm⁻³である。一方n型キャップ層を形成した場合は、n型キャップ層305の膜厚増加とともにHの不純物密度が減少し、n型キャップ層305の厚さを1μmとすればHの取り込まれは5×10¹⁸ cm⁻³まで低下し、さらにn型キャップ層305の厚さを増大して、この直で飽和することがわかる。この5×10¹⁸ cm⁻³というHの取り込まれはアンドープよりもn型ドープのGaN層の成長時における値と同等である。また、図1に示した構造を連続エピタキシャル成長し、その後上層のn型GaNキャップ層305を取り除いてMgドープGaN層の電気特性を測定したところ、低抵抗(抵抗率1Ω-cm)でp型(1×10¹⁸ cm⁻³)特性を示した。この特性は、従来技術におけるMgドープGaN層と、熱アニールによって活性化(低抵抗化)させた場合のものと同等である。また、両者の結晶中に含まれる

n型In_xAl_yGa_{1-x-y}N (0≤x, y≤1)

アンドープ (又はn ⁺ 型) GaN層	331	...	50nm
n型GaNクラッド層	332	...	0.5μm
アンドープIn _x Ga _{1-x} N活性層	302	...	4.0μm
p型GaNクラッド層	303	...	0.1μm
n型GaNキャップ層	304	...	0.5μm
	305	...	0.1μm

ここでn型GaNキャップ層305は、型GaNクラッド層304の上部の一部に形成され、n型GaNキャップ層305の上部およびキャップ層305が形成されていないp型GaNクラッド層304の上部には光が透過可能な透明電極層となる導電金属(導電性光透過膜)層306が形成されている。電流注入用のn側電極307およびp側電極308はそれぞれn型GaNクラッド層302の表面の一部およびn型GaNキャップ層305の上方に位置する導電金属層306の表面の一部に形成されている。またn型In_xAl_yGa_{1-x-y}Nパツプ層331はサファイア基板301とその上に形成するエピタキシャル成長層332、303、304、305との間の格子不整合を緩和させるための層である。パツプ層331は、p型In_xAl_yGa_{1-x-y}N層でもよいが、上層のn型GaNクラッド層302よりも低不純物密度ならば、一定の効果を得ることができる。つまり、アンドープ又は低不純物密度のGaN層332を形成することにより、その上に形成するn型GaNクラッド層302の不純物密度を高くしても、表面モホロジーの荒れが生じないようにできる。たとえば、パツプ層331の上に直接n型GaN層を成長した場合はSiの不純物密度が5×10¹⁹ cm⁻³程度が表面モホロジーの荒れを生じさせるための閾値であるが、アンドープ又はn型GaN層332を形成することにより、n型不純物密度を8×10¹⁹ cm⁻³まで高くすることができる。

【0034】本発明のn型GaNキャップ層305は製造工程の途中においては、p型GaNクラッド層304

するHの不純物密度も同等である。したがって、図1に示したようなn型キャップ構造とすることによって、Mgドープ層へのHの取り込まれを抑制でき、熱アニールや電子線照射等の特別な活性化処理を行うことなく活性化率の高い、すなわち低抵抗のp型GaN層を得ることができ、以上は組成x=y=0の場合であるが、より一般的にIn_xAl_yGa_{1-x-y}Nの組成構造に適用できることはもちろんである。

【0032】図3 (a) は本発明の第1の実施の形態に係るGaN系材料を用いたLEDの概略を示す断面構造図で、図3 (b) はその層構成である。このLED構造はサファイア基板301上にIn_xAl_yGa_{1-x-y}N層、GaN層およびIn_xGa_{1-x}N層を積層して構成され、それぞれの厚さは以下に示すようである。

【0033】

331	...	50nm
332	...	0.5μm
302	...	4.0μm
303	...	0.1μm
304	...	0.5μm
305	...	0.1μm

の上部全面に最終設計膜厚よりも厚めに(1.0μm)形成され、アクセタターとなるMgの不活性化を防いでいる。しかし、最終的には図3 (a) および (b) に示すようにn型GaNキャップ層305はp型GaNクラッド層304の上部の一部にのみ形成され電極ブロック層として機能している。またその厚みもエピタキシャル成長直後の厚みよりも薄くされている。すなわちこのn型GaNキャップ層305を用いて電流拡散構造を作成できることもまた、本発明の優れたところである。つまり、素子表面の一部に形成するp側電極308は光の取り出しを防げるものであり、このp側電極308直下への電流注入は外層素子に寄与しない無効電流となってしまうが、電流拡散構造によりこの無効成分を低減することである。従来構造ではエピタキシャル成長後に、CVD炉等を用いて酸化膜(SiO₂膜)等を堆積し、この酸化膜等を電極ブロック層として形成してこの無効電流を低減していたが、本発明による構造では、n型GaNキャップ層305をこの電流拡散層としてそのまゝ用いることができる。従来技術のようにSiO₂のCVDを行う際には、基板の洗浄等の前処理工程も当然必要となり、一工程増加することは付帯的に加工工程が増えることもなる。したがって本発明によればプロセスを簡略化でき、簡単に短時間で優れた電流注入/光取り出し構造を作成することができる。

【0035】次に図3に示した本発明の第1の実施の形態のGaN系LEDの製造方法を図3および図4 (a) ~ (c) を用いて説明する。

【0036】(a) サファイア基板301の上にMO-CVD法等を用いて図4 (a) に示すように厚さ50nmのn型In_xAl_yGa_{1-x-y}Nパツプ層331、厚さ0.5μmのアンドープ層(又はn⁺型)GaN層332、厚さ4.0μmのn型GaNクラッド層302、厚さ0.1μmのアンドープ層In_xGa_{1-x}N層303、厚さ0.5μmのn型GaNクラッド層304、厚さ1.0μmのn型GaNキャップ層305を連続成長させる。たとえば、高周波(RF) 炉で加熱方式の常圧CVD炉又は常圧CVD炉で、所定の温度で、有機金属化合物の3族元素原料ガス及びアンモニア(NH₃)等の5族元素原料ガスを導入して成長すればよい。具体的には、850℃~1200℃の基板温度において3族元素原料ガスとしてGa(CH₃)₃、In(CH₃)₃、Al(CH₃)₃及び5族元素原料ガスとしてNH₃を用いればよい。通常はこれらの原料ガスは水素や窒素等からなるキャリアガスと共に導入する。成長圧力はたとえば約1k~100kPaとすればよい。このようにして、n型In_xAl_yGa_{1-x-y}Nパツプ層331~n型GaNキャップ層305までの成長の途中で反ウム系半導体の連続成長を行ない、この成長の途中で反応ガスの成分比率を切り替えてあるいは一部のソースガスの供給を完全に停止し、In_xAl_yGa_{1-x-y}N、Ga_{1-x}N又はIn_xGa_{1-x}Nの各層の成分を調節する。特にp型GaNクラッド層304を成長後、キャリアガスとNH₃のみを供給し、1~20分間の「成長中斷」を基板温度を温度成長速度に保つたまま行ない、その後n型キャップ層を成長する。又、不純物を添加するために、適量SiH₄やCp₂Mg等を増加し、n型及びp型の所定の不純物密度に制御する。

【0037】(b) 次にその上部にn型パツプ層331~n型キャップ層305が連続的に堆積したサファイア基板301をCVD炉から取り出し、n型GaNキャップ層305の厚さをエッチング又はCMP(化学的機械研磨)等を用いて、0.1μmの厚さまで薄くする。そして図4 (b) に示すようにn型GaNクラッド層302に達するU溝333を形成し、さらにn型GaNキャップ層305の一部を図4 (b) に示すようにパターニングする。U溝333は後にn側電極307をその底部に形成するための層である。図4 (b) の形状は周知のフォトリソングラフ技術およびRIE等のエッチング技術により実現できる。

【0038】(c) 続いて、金属薄膜やITO膜等の透明電極層306をパツタリング、真空蒸着、あるいはCVD法等により堆積し、フォトリソングラフ技術により図4 (c) に示すようにパターニングする。パターニングはいわゆるリフトオフを用いてもよい。

【0039】(d) 次に図3に示すようにU溝333の底部にn側電極307を、n型GaNキャップ層305の上方に位置する透明電極層306の上にp側電極30

8を形成する。n側電極307、p側電極308の形成もリフト・オフ法を用いればよい。すなわちn側電極307形成予定部分以外をフォトリソレジストでカバーし、Al、Ti、Al、Ni等の金属材料をスパッタリング法又は真空蒸着法で堆積し、その後フォトリソレジストを除去すれば、U溝333の底部の所定の位置のみにn側電極307が形成できる。p側電極についても同様である。

【0040】(e) このようにして、GaN系LEDの基本構造が完成した後、ダイシング工程を行う。すなわちダイアモンドカッターで前もってサエッチングされたスクライプ・ライン上を切断し、適当な大きさに切り分けて多数のチップを得る。そしてこれらのチップを所定のステム(ワイヤフレーム)にマウントし、ワイヤボンディング後モジュールディングすれば本発明のGaN系LEDが完成する。

【0041】なお、サファイア基板301の厚さは60~100μmがよく、この厚さによって、素子特性が向上する。

【0042】本発明の第1の実施の形態の素子の製造方法の従来技術に対する優位性は上記のように、プロセスの簡略化ができることにある。つまり、本発明の第1の実施の形態によれば従来技術の連続エピタキシャル成長の最後にn型GaNキャップ層305を形成する工程を追加するという単純な工程の改良でp型GaNクラッド層304のHの取り込み起因した不活性化を抑えることができる(したがって実質的な工程数の増大はない)。このことは従来技術においてp型GaNクラッド層の活性化に必要とされた電子線照射や熱処理等の複雑なプロセスをなくすることができる点で顕著な工程簡化を可能とするものである。また上述のようにn型キャップ層305を用いて電流拡散構造を作成できることもまた、本発明の製造方法の優れたところである。つまり、本発明によれば電流拡散構造を実現するためにCVD法やスパッタリング法を用いて酸化膜形成等の付加的な工程を用いる必要もない。したがって、優れた電流注入/光取り出し特性を簡単な工程で得ることができる。

【0043】本発明の第1の実施の形態による素子構造を用い、In_xGa_{1-x}N活性層のIn組成Xを0から0.6まで変化させることにより紫外から可視光(紫から緑色)波長までの発光が実現できる。発光はn型GaNキャップ層のない素子表面全面が放射されるので、高輝度、高発光効率のLED特性が実現できる。

【0044】図5は本発明の第1の実施の形態の変形例に係るGaN系材料を用いたLEDの概略を示す断面構造図である。このLED構造はサファイア基板301上にIn_xAl_yGa_{1-x-y}N層、GaN層およびIn_xGa_{1-x}N層を積層して構成され、それぞれの厚さは以下に示すようである。

【0045】

2の形成の形態は発光ダイオードに限らず半導体レーザーに適用することも可能である。また、降速過程の雰囲気ガスとして N_2 及び N_2/N_2 の H_2/N_2 を用いたが、ArやHe等の不活性ガス、またはそれらの混合ガスでも同様の効果が得られる。その他、本発明の主旨を逸脱しない範囲で種々変形して実施可能である。

【0060】第3の実施の形態 図8(a)は本発明の第3の実施の形態に係るGaAs系半導体の層構造の断面図である。図8(a)においてサファイア(AI₂O₃)基板301の主表面上にSiドープのn型GaN層302、Mgドープのp型GaN層324が順次積層されている。これらの層の成長はMOCVD法等の気相エピタキシャル成長法を用いて積層し、5族元素原料ガスとしてNH₃、3族元素原料ガスとしてTMG、TEG等、ドーパントガスとしてCp₂Mg、SiH₄等を用い、雰囲気ガス(キャリアガス)としてH₂/N₂の混合ガス等を用い、成長時の基板温度としてたとえば1050℃が好ましい。各層の厚さは以下のとおりである。

【0061】
n型GaN層 302 2.0μm
p型GaN層 324 2.0μm

本発明の第3の実施の形態において最終的に所望のp型GaN層の厚みは1.0μmであるが、図8(a)に示すようにp型GaN層324は所望の厚みよりも厚く2.0μmまで堆積する。本発明の第3の実施の形態は第2の実施の形態と異なり成長終了後基板温度の降速過程において雰囲気ガスをH₂ 10%以上のH₂/N₂混合ガスとしている。成長層を温度が高い状態でH₂中に晒すとそのエッチング作用により層が薄くなり、また長時間の放置では結晶が消失してしまう。そこで従来の技術においてはNH₃を同時に供給しそのエッチング効果を抑えている。しかしながら、NH₃の供給では原子状水素の生成が起るためH₂のエッチング効果を抑制して成長時の厚さを厚く設定することで、H₂あるいはH₂濃度10%以上のH₂/N₂混合ガス中での降速過程に、引いては原子状水素によるアークセプタの不活性化を抑制できる。つまり、本発明の第3の実施の形態では図8(a)に示した積層構造の結晶成長終了後の降速時にNH₃の供給を停止してH₂濃度10%のH₂/N₂混合ガスを供給し、その降速速度を50℃/分で降速する。その結果、図8(b)に示すようにMgドープGaN層324が約1μm厚のエッチングされ、1μmのMgドープGaN層324が残り、この残ったMgドープGaN層324はC-V法を用いた実効キャリア密度の測定において結晶中のアークセプタ不純物の約8%が活性化していることが確認されている。つまり本発明の第3の実施の形態によれば、従来技術のNH₃供給しなげらの降速過程を用いた場合の活性化率(1

20

30

40

(12) 特開平10-144962 22

キャップ層の厚さに対する依存性を示す図である。図3(a)は本発明の第1の実施の形態に係る酸化ガリウム系半導体LEDの断面図で、図3(b)はその断面図である。

【図4】図3のLEDの製造工程を説明する図である。【図5】本発明の第1の実施の形態の変形例に係る酸化ガリウム系半導体LEDの断面図である。【図6】図5のLEDの製造工程を説明する図である。【図7】本発明の第2の実施の形態に係る層構造を示す図である。【図8】本発明の第3の実施の形態に係る層構造を示す図である。

【符号の説明】
301 サファイア基板

302 n型GaN層

303 アンダーブレイクInGaN活性層

304. 314. 324. 324a. 324b p型GaN層

305. 315 n型GaNキャップ層

306 導電性層

307 n側電極

308 p側電極

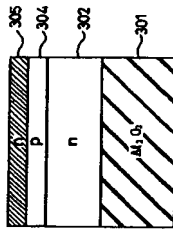
331 In_xAl_yGa_{1-x-y}Nバンプ層

332 アンダーブレイク(又はn⁺型)GaN層

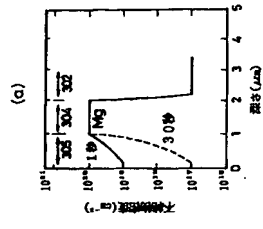
333 U溝

355 n型In_xAl_yGa_{1-x-y}N(0<x<u, v<1)キャップ層

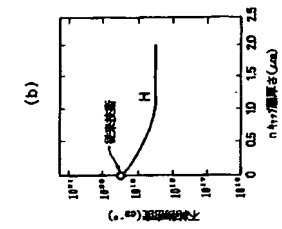
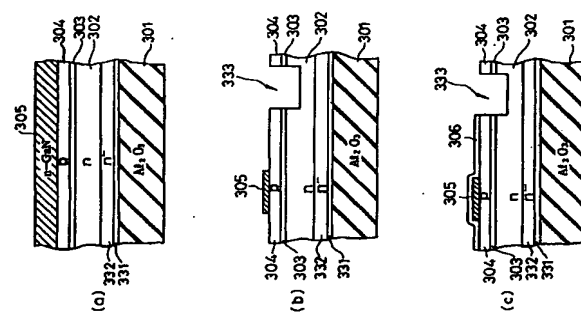
【図1】



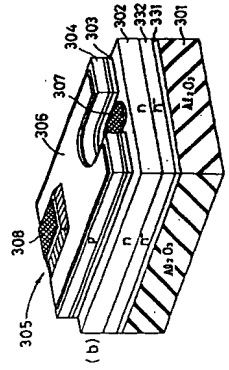
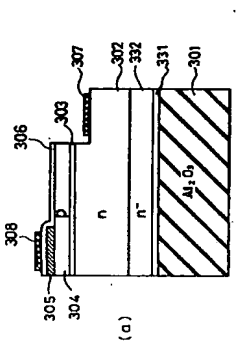
【図2】



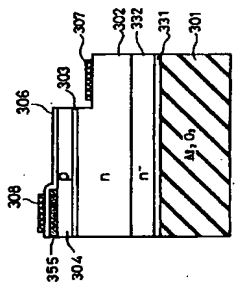
【図3】



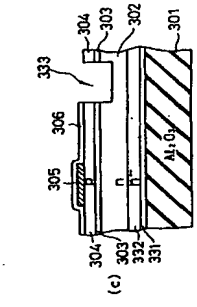
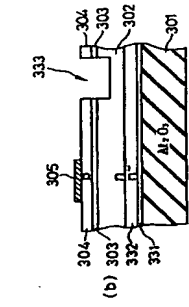
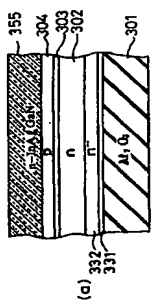
【図3】



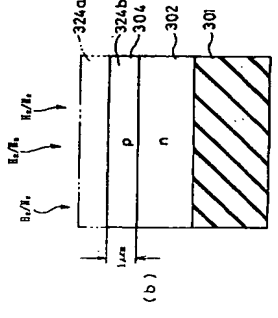
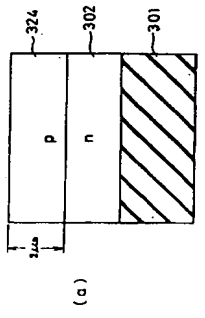
【図5】



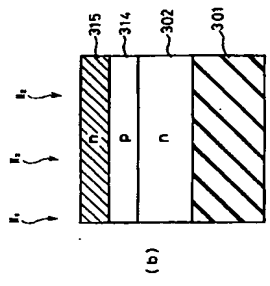
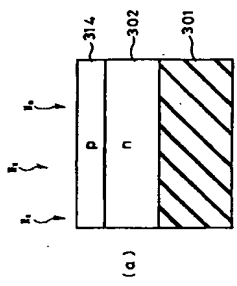
【図6】



【図8】



【図7】



(14)

THIS PAGE BLANK (USPTO)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)